



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0025775
Application Number

출원 년 월 일 : 2003년 04월 23일
Date of Application APR 23, 2003

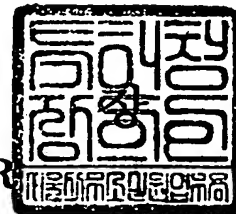
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.04.23
【발명의 명칭】	반도체 소자의 소자분리막 제조방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING ISOLATION LAYER IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	안상태
【성명의 영문표기】	AHN, Sang Tae
【주민등록번호】	710818-1782835
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 101동 605호
【국적】	KR
【발명자】	
【성명의 국문표기】	정성웅
【성명의 영문표기】	CHUNG, Sung Woong
【주민등록번호】	670809-1010333
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 105동 1402 호
【국적】	KR



1020030025775

출력 일자: 2003/5/30

【발명자】

【성명의 국문표기】

손현철

【성명의 영문표기】

SON, Hyun Chul

【주민등록번호】

610318-1010333

【우편번호】

135-011

【주소】

서울특별시 강남구 논현동 22 논현아파트 106동 1001호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
강성배 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

2 면 2,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

23 항 845,000 원

【합계】

876,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 소자분리막 제조방법을 개시한다. 개시된 발명은, 반도체 기판내에 트렌치를 형성하는 단계; 상기 트렌치내부에 유동성 절연막을 형성하는 단계; 상기 유동성 절연막을 후세정처리하는 단계; 및 상기 유동성 절연막이 형성된 전체구조 상면에 치밀한 절연막을 형성하는 단계를 포함하여 구성되며, 트렌치 측벽의 활성화영역부 근에 미세공극이 발생하는 것을 효과적으로 방지할 수 있는 것이다.

【대표도】

도 3d



【명세서】

【발명의 명칭】

반도체 소자의 소자분리막 제조방법 {METHOD FOR MANUFACTURING ISOLATION LAYER IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1는 종래기술에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 공정 단면도로서, 미세공극(pore)이 트렌치측면에 형성되는 유동성절연막에서 발생하는 것을 보여 주는 도면,

도 2는 종래기술에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 단면 사진으로서, 유동성절연막에서 발생하는 미세공극 결함을 보여 주는 사진.

도 3a 내지 도 3d는 본 발명의 일실시예에 따른 반도체 소자의 소자분리막 제조방법을 설명하기 위한 공정단면도,

도 4a 내지 도 4d는 본-발명의 다른 실시예에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 공정단면도,

도 5는 본 발명에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 단면사진으로서, 유동성절연막에 미세공극 결함이 거의 발생되지 않는 것을 보여 주는 사진.

* 도면의 주요 부분에 대한 부호설명 *

31 : 실리콘 기판

33 : 패드산화막

35 : 패드질화막

37 : 감광막패턴

39 : 트렌치 41 : 유동성절연막

43 : 캡필산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 소자의 소자분리막 제조방법에 관한 것으로, 보다 구체적으로는, 미세패턴 매립 특성을 향상시킬 수 있는 반도체 소자의 소자분리막 제조방법에 관한 것이다.
- <12> 반도체의 소자의 집적도가 증가되면서 STI공정에서 소자 분리 절연막의 폭이 더욱 감소하고 있다. 현재 APCVD(Atmosphere Pressure Chemical Vapor Deposition)이나 HDP(High Density Plasma) CVD를 이용한 소자 분리 절연막이 사용되고 있지만, 살로우 트렌치(이하, STI)의 폭이 감소하면서 기존의 절연막으로는 미세 패턴 매립 특성에 한계가 발생되고 있다.
- <13> 또한, 유동성을 가진 SOD(Spin On Dielectric) 절연막의 경우 미세 패턴 매립 특성이 우수하지만 매립된 절연막의 밀도가 낮기에 후속 식각 및 세정공정에서 절연막의 손실에 의해 소자 절연 역할을 상실하며, 후속 이온주입 공정시 밀도가 낮은 STI 절연막내에 이온 침투로 인한 소자 특성의 저하가 발생된다.
- <14> 이를 해결하기 위해서 SOD 절연막을 증착 후 치밀한 절연막을 다시 증착하는 방법이 연구 되었으나 미세 패턴의 폭보다 SOD로 증착할 수 있는 두께가 훨씬 크기 때문에 미세 패턴에 매립된 절연막을 더 치밀화시킬 수 없었다.



- <15> 이러한 SOD 절연막을 유동성절연막으로 사용한 소자분리막 제조방법을 도 1 및 도 2를 참조하여 설명하면 다음과 같다.
- <16> 도 1에 도시된 바와같이, 실리콘기판(11)상에 패드산화막(13)과 패드질화막(15)을 적층한후 트렌치 형성용 마스크(미도시)를 이용하여 이들과 함께 실리콘기판(11)을 과도 식각하여 트렌치(17)를 형성한다.
- <17> 그다음, 후속공정인 SOD 절연막(19)을 형성하기 전에 N2O 또는 O2 플라즈마를 이용한 플라즈마 처리를 수행한다.
- <18> 이어서, 상기 트렌치(17)내에 SOD(spin on dielectric) 절연막(19)을 증착한 후 상기 SOD절연막(19)을 포함한 전체 구조의 상면에 후속공정으로 갭매립용 절연막(미도시)을 증착하여 소자분리막 형성공정을 계속해서 진행한다.

【발명이 이루고자 하는 기술적 과제】

- <19> 그러나, 이와 같은 종래기술에 의하면, 고집적 반도체소자의 제조시에 좁은 스페이스 (narrow space)을 갖는 부분내에 유동성절연막을 형성하는 경우, 특히 트렌치내에 유동성절연막인 SOD 절연막 증착시에 트렌치측면의 활성영역옆에 도 1의 "A" 및 도 2의 사진에서와 같이 미세공극 (pore)이 발생하게 된다.
- <20> 또한, 유동성절연막 증착전에 전처리공정으로 플라즈마 처리를 하는 경우에 N2O 대신에 O2플라즈마를 사용한다 하더라도 미세공극결함(pore defect)의 제거측면에서는 크게 개선되어지지 않는다.

<21> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 트랜치 측벽의 활성영역부근에 미세공극이 발생하는 것을 효과적으로 방지할 수 있는 반도체 소자의 소자 분리막 제조방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <22> 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 반도체 소자의 소자분리막 제조방법은, 반도체기판내에 트랜치를 형성하는 단계;
- <23> 상기 트랜치내부에 유동성 절연막을 형성하는 단계;
- <24> 상기 유동성 절연막을 후세정처리하는 단계; 및
- <25> 상기 유동성 절연막이 형성된 전체구조 상면에 치밀한 절연막을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- <26> 또한, 본 발명에 따른 반도체소자의 소자분리막 제조방법은, 트랜치가 형성된 반도체 기판을 제공하는 단계;
- <27> 상기 트랜치를 전처리하는 단계;
- <28> 상기 전처리된 트랜치 하부에 소정의 유동성 절연막을 형성하는 단계;
- <29> 상기 유동성절연막을 후세정처리하는 단계;
- <30> 상기 유동성 절연막을 치밀화하는 단계;
- <31> 상기 치밀화된 유동성 절연막이 형성된 전체구조 상면에 절연막을 형성하는 단계; 및
- <32> 상기 절연막 상부에 더미용 절연막을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <33> 이하, 본 발명에 따른 반도체소자의 소자분리막 제조방법의 바람직한 실시예를 첨부한 도면에 의거하여 상세히 설명한다.
- <34> 도 3a 및 도 3d는 본 발명의 일실시예에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 공정단면도이고, 도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 공정단면도이다.
- <35> 또한, 도 5는 본 발명에 따른 반도체소자의 소자분리막 제조방법을 통해 얻어진 소자분리막에서 미세공극 발생이 감소된 것을 보여 주는 사진이다.
- <36> 본 발명의 일실시예에 따른 반도체소자의 소자분리막 제조방법은, 먼저, 도 3a에 도시된 바와같이, 실리콘기판(31)상에 버퍼 역할을 하는 패드 산화막(33)과 산화를 억제하는 패드질화막(35)을 순차적으로 형성한후 상기 패드질화막(35) 상부에 소자 분리 예정 영역을 형성시키기 위한 감광막 패턴(37)을 형성한다.
- <37> 그다음, 도 3b에 도시된 바와같이, 상기 감광막 패턴(37)을 마스크로 하여, 패드질화막(35), 패드 산화막(33) 및 실리콘 기판(31)을 소정 깊이만큼 식각하여 트렌치(39)를 형성한다.
- <38> 이어서, 상기 감광막패턴(37)을 제거하고, 트렌치 식각시 유발되는 스트레스를 제거하기 위해 트렌치(39)가 형성된 실리콘기판(31)상에 희생산화막(도시되지않음)을 형성 및 제거함으로써 식각 데미지를 완화한다. 또한, 사이드 월 산화(side wall oxidation)공정을 수행하여 트렌치내에 박막의 산화막(미도시)을 형성하거나, 유동성 절연막 증착하기 전에 실리콘기판의 트렌치계면사이로 발생할 수 있는 누설전류를 방지하기 위하여 600℃ 이상의 퍼니스에서 20~200Å 산화막을 형성시킬 수도 있다. 이때, 트렌치의 월

산화시에 형성된 산화막의 손실을 막기 위해 추가로 실리콘기판의 트랜치내부에 LPCVD 또는 ALD 방식으로 약 10~200 Å 정도의 질화막을 형성할 수도 있다. 한편, 유동성 절연막 또는 HDP-CVD 증착시에 발생될 수 있는 실리콘기판의 결함을 방지하기 위하여 트랜치에 10~200 Å 두께의 질화막과 산화막을 순차적으로 증착할 수도 있다.

<39> 그다음, 후속공정인 유동성 절연막 형성직전에 인시튜 공정으로 접착력, 플로우 특성 조절 및 갭필을 향상시키기 위하여 SiC_xH_y (x 는 0~4이고, y 는 0~12), SiO_xC_y (x 는 0~4이고, y 는 0~12), Ar, He, N_2 , N_2O , H_2O , H_2O_2 , NH_3 또는 O_2 가스를 이용하여 플라즈마 방식으로 100W 이상의 파워에서 2초이상 실시하는 방법으로 여러 플라즈마처리를 순차적으로 동시에 실시한다.

<40> 이어서, 도 3c에 도시된 바와같이, 상기 전처리된 트랜치(39) 하부에 소정의 유동성 절연막(41)을 증착한다. 이때, 상기 유동성 절연막(41)은 인 시튜에서 저압화학증착 방식으로 사일렌(SiH_4)과 과수(H_2O_2)의 반응소스를 이용한 $\text{SHO}(\text{SiO}_x\text{H}_y)$ 막으로 형성되는데, 상기 SHO막은 바람직하게는 두께 약 50 Å ~ 5000 Å 정도로 형성한다. 이때, 상기 SHO막에서 x 의 범위는 0 ~ 4, y 의 범위는 0 ~ 12이다. 여기서, 상기 SHO막의 공정 조건은 SiH_4 , $\text{SiHa}(\text{CH}_3)_b$, H_2O_2 , O_2 , H_2O 및 N_2O 반응소스를 이용하여 온도 -10 ~ 150°C 및 10mTorr ~ 100Torr 이하의 저압에서 진행한다. 이때, 상기 $\text{SiHa}(\text{CH}_3)_b$ 에서 a 의 범위는 0 ~ 4이고, b 의 범위는 0 ~ 4이다. 또한, 상기 SHO 절연막 형성시에 증착속도와 막의 균일도를 조절하기 위해서 불활성 기체로 N_2 , Ar, He, H_2 기체를 이용한다. 또한, SHO 절연막 형성시 증착속도 및 플로우 특성을 조절하기 위하여 H_2O_2 의 함량을 H_2O 대비 10~80 wt%로 사용한다.

- <41> 그 다음, 후속공정으로 유동성절연막인 상기 SHO막(41)을 치밀화시키기 위한 열처리공정을 수행한다. 이때, 상기 치밀화시키는 공정은 0mTorr~10Torr사이의 압력하에서 SiH_4 , $\text{SiH}_a(\text{CH}_3)_b$, N_2 , N_2O , NH_3 , O_2 , O_3 , Ar 또는 He 가스를 이용한 플라즈마로 적어도 5~300초 동안 실시하여 SHO막(41)을 치밀화시킨다. 여기서, 상기 $\text{SiH}_a(\text{CH}_3)_b$ 에서 a의 범위는 0 ~ 4이고, b의 범위는 0 ~ 4이다. 또한, 상기 유동성절연막을 치밀화하기 위한 목적으로 O_2 , N_2 , O_3 , N_2O , 또는 H_2+O_2 의 혼합가스 분위기에서 300~850℃ 온도에서 1분 이상 열처리를 실시한다.
- <42> 이어서, 후속공정에서 HDP-CVD 절연막을 형성하기 전에 플로우 특성을 향상시켜 트렌치측벽에 붙어 있는 결함을 방지하기 위해 세정공정을 수행한다. 이때, 상기 세정공정은, 식각액과 완충액의 비율이 3:1~500:1 인 BOE(buffered oxide etchant)용액이나, H_2SO_4 와 H_2O_2 수용액을 1:1~500:1 부피 비율로 섞어 상온 ~ 150℃ 온도에서 세정하거나, SC-1(standard cleaning-1), SC-2 세정 또는 수용액을 5:1~500:1 HF 로 묽게 하여 습식식각에 의한 세정하는 방법중에서 한가지 이상의 세정처리를 순차적으로 동시에 실시한다.
- <43> 한편, 상기 유동성절연막(41)을 증착한후 치밀한 절연막 형성전에 습식 또는 건식 식각을 통하여 특정패턴에서 과도하게 증착된 유동성 절연막을 10~3000 Å 두께정도를 식각한다.
- <44> 그다음, 도 3d에 도시된 바와같이, 상대적으로 치밀한 절연막(43)을 상기 유동성절연막(41)을 포함한 전체 구조의 상면에 증착한다. 이때, 상기 치밀한 절연막(43)은 SiH_4 반응기체를 이용한 HDP-CVD방식이나 TEOS 반응기체를 이용한 AP-CVD 또는 SA-CVD 방식으로 증착한다.

- <45> 이어서, 상기 치밀한 절연막(43) 전부를 더욱 치밀화시키기 위해 O_2 , N_2 , O_3 , N_2O 및 $H_2 + O_2$ 의 혼합가스 분위기 및 $300 \sim 12000^\circ C$ 온도에서 5분 이상 실시하거나 약 $600^\circ C$ 이상 온도에서 1초이상 RTP 처리를 실시할 수도 있다.
- <46> 그다음, 상기 치밀한 절연막을 증착하는 동시에 하부 절연막의 치밀화를 목적으로 절연막(미도시)을 약 50 \AA 이상 두께로 증착한다. 이때, 상기 절연막(미도시) 증착은, SiH_4 , TEOS, DCS, O_2 , N_2 , O_3 , N_2O 및 $H_2 + O_2$ 의 혼합가스 분위기와, $500 \sim 11000^\circ C$ 온도에서 수행한다.
- <47> 이어서, 도면에는 도시하지 않았지만, 평탄화공정 등을 통해 상기 절연막들을 순차적으로 제거하면서 소자분리막을 형성한다.
- <48> 한편, 본 발명의 다른 실시예에 따른 반도체소자의 소자분리막 제조방법에 대해 도 4a 내지 도 4d를 참조하여 설명하면 다음과 같다.
- <49> 도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 반도체소자의 소자분리막 제조방법을 설명하기 위한 공정단면도이다.
- <50> 본 발명의 다른 실시예에 따른 반도체소자의 소자분리막 제조공정에 있어서, 도 4a 내지 도 4c에 도시된 제조공정은 위에서 언급한 일 실시예와 동일한 순으로 진행되므로 이에 대한 설명은 생략하기로 한다. 즉, 반도체소자의 소자분리막 제조공정에 있어서, 도 4a 및 도 4b의 트렌치(59) 형성공정, 도 4c의 유동성절연막(61) 증착공정 등에 대한 설명은 생략한다.
- <51> 그 다음, 후속공정으로 유동성절연막인 상기 SHO막(61)을 치밀화시키는 열처리공정을 수행한다. 이때, 상기 치밀화시키는 공정은 적어도 100Torr 하에서 SiH_4 ,

$\text{SiHa}(\text{CH}_3)_b$, N_2 , N_2O , NH_3 , O_2 , O_3 , Ar 또는 He 가스를 이용한 플라즈마로 적어도 5~300초 동안 실시하여 SHO막(61)을 치밀화시킨다. 여기서, 상기 $\text{SiHa}(\text{CH}_3)_b$ 에서 a의 범위는 0 ~ 4이고, b의 범위는 0 ~ 4이다. 또한, 상기 유동성절연막을 치밀화하기 위한 목적으로 O_2 , N_2 , O_3 , N_2O , 또는 H_2+O_2 의 혼합가스 분위기에서 300~850℃ 온도에서 1분이상 열처리를 실시한다.

<52> 이어서, 후속공정에서 HDP-CVD 절연막을 형성하기 전에 플로우 특성을 향상시켜 트랜치측벽에 붙어 있는 결함을 방지하기 위해 세정공정을 수행한다. 이때, 상기 세정공정은, 식각액과 완충액의 비율이 3:1~500:1 인 BOE(buffered oxide etchant)용액이나, H_2SO_4 와 H_2O_2 수용액을 1:1~500:1 부피 비율로 섞어 상온 ~ 150℃ 온도에서 세정하거나, SC-1(standard cleaning-1), SC-2 세정 또는 수용액을 5:1~500:1 HF 로 묽게 하여 습식식각에 의한 세정하는 방법중에서 한가지 이상의 세정처리를 순차적으로 동시에 실시한다.

<53> 한편, 유동성절연막(61)을 증착한후 치밀한 절연막 형성전에 습식 또는 건식 식각을 통하여 특정패턴에서 과도하게 증착된 상기 유동성 절연막을 10~3000Å 두께정도를 식각한다.

<54> 그다음, 도 4d에 도시된 바와같이, 상기 유동성절연막(61)을 포함한 전체 구조의 상면에 상대적으로 치밀한 절연막(63)을 증착한다. 이때, 상기 치밀한 절연막(63)은 SiH_4 반응기체를 이용한 HDP-CVD 방식이나 TEOS 반응기체를 이용한 AP-CVD, SA-CVD 방식으로 증착한다.

- <55> 이어서, 상기 치밀한 절연막(63) 전부를 더욱 치밀화시키기 위해 O_2 , N_2 , O_3 , N_2O 및 $H_2 + O_2$ 의 혼합가스 분위기 및 $300 \sim 1200^\circ C$ 온도에서 5분 이상 실시하거나 약 $600^\circ C$ 이상온도에서 1초이상 RTP 처리를 실시할 수도 있다.
- <56> 그다음, 상기 치밀한 절연막(63)상에 넓은 트렌치부위의 절연막을 채우기 위하여 SiH_4 반응기체를 이용한 HDP-CVD 방식이나 TEOS 반응기체를 이용한 AP-CVD, SA-CVD 방식으로 CMP용 더미절연막(65)을 증착한다. 이때, 상기 더미절연막(65)은 상대적으로 치밀한 절연막(63)위에 추가로 증착하는 동시에 하부 절연막의 치밀화를 목적으로 약 $50 \sim 5000 \text{ \AA}$ 두께로 증착한다. 또한, 상기 더미절연막(65) 증착은, SiH_4 , TEOS, DCS, O_2 , N_2 , O_3 , N_2O 및 $H_2 + O_2$ 의 혼합가스 분위기와, $500 \sim 11000^\circ C$ 온도에서 수행한다.
- <57> 이어서, 도면에는 도시하지 않았지만, 평탄화공정 등을 통해 상기 절연막들을 순차적으로 제거하면서 소자분리막을 형성한다.

【발명의 효과】

- <58> 상기한 바와 같이, 본 발명에 따른 반도체 소자의 소자분리막 제조방법에 의하면, 유동성 절연막 증착시에 전처리로 인해 N_2O 플라즈마처리를 생략하고 시간지연없이 BN 또는 FN 후세정공정을 실시하므로써 셀내에 존재하는 미세공극결함(pore defect) 수가 크게 감소되는 효과가 있다.
- <59> 또한, 도 5에 도시된 사진에서와 같이, 유동성절연막을 아닐링한후 HF를 이용한 세정공정시에 활성영역의 측벽(sidewall)에 형성된 미세한 공극(nano-pore)들이 제거되면서 미세공극결함이 급격하게 감소됨을 알 수 있다.

<60> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에
서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식
을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

반도체기판내에 트렌치를 형성하는 단계;

상기 트렌치내부에 유동성 절연막을 형성하는 단계;

상기 유동성 절연막을 후세정처리하는 단계; 및

상기 유동성 절연막이 형성된 전체구조 상면에 치밀한 절연막을 형성하는 단계를 포함하여 구성되는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 2】

제 1항에 있어서, 상기 유동성 절연막형성전에 인시튜로 전처리하는 단계를 더 포함하되, 상기 전처리단계는 클리닝 처리 또는 플라즈마 처리 중 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 3】

제 2항에 있어서, 상기 전처리 공정중 플라즈마처리는 적어도 100Torr 하에서 SiH_4 , $\text{SiH}_a(\text{CH}_3)_b$ (a의 범위가 0 ~ 4이고, b의 범위가 0 ~ 4), N_2 , N_2O , NH_3 , O_2 , O_3 , Ar 또는 He 가스를 이용한 플라즈마로 적어도 5초 동안 실시하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 4】

제 1항에 있어서, 상기 유동성 절연막 형성전에 트렌치 측면을 산화시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 5】

제 4항에 있어서, 상기 산화시키는 단계는 600℃ 온도이상의 퍼니스에서 진행하되, 20~200Å 두께의 산화막을 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 6】

제 4항에 있어서, 상기 트랜치 측면산화공정후 트랜치내부에 LPCVD 또는 ALD방식에 의한 질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 7】

제 1항에 있어서, 상기 유동성 절연막 형성전에 트랜치내부표면에 질화막과 산화막을 순차적으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 8】

제 1항에 있어서, 상기 유동성 절연막은 SHO (SiO_xH_y ; x의 범위는 0 ~ 3, y의 범위는 0 ~ 1) 절연막을 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 9】

제 8항에 있어서, 상기 SHO를 이용한 유동성절연막은 50~5000Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 10】

제 8항에 있어서, 상기 유동성 절연막으로 이용하는 SHO 절연막은 저압증착법에 의해 인 시류 방식으로 사일렌(SiH_4)과 과수(H_2O_2)의 반응소스를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 11】

제 10항에 있어서, 상기 SHO절연막은 SiH_4 , $\text{SiH}_a(\text{CH}_3)_b$ (a의 범위가 0 ~ 4이고, b의 범위가 0 ~ 4), H_2O_2 , O_2 , H_2O 및 N_2O 반응소스를 이용하여 온도 $-10 \sim 100^\circ\text{C}$ 및 100 Torr 이하의 저압하에서 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 12】

제1항에 있어서, 상기 후세정공정은, 식각액과 완충액의 비율이 3:1~500:1 인 BOE(buffered oxide etchant)용액이나, H_2SO_4 와 H_2O_2 수용액을 1:1~500:1 부피 비율로 섞어 상온 ~ 150°C 온도에서 세정하거나, SC-1(standard cleaning-1), SC-2 세정 또는 수용액을 5:1~500:1 HF 로 묽게 하여 습식식각에 의한 세정하는 방법중에서 한가지 이상의 세정처리를 순차적으로 동시에 실시하는 것을 특징으로하는 반도체소자의 소자분리막 제조방법.

【청구항 13】

제1항에 있어서, 상기 유동성절연막을 형성직후 치밀화시키는 단계를 더 포함하되, 상기 치밀화 단계는 O_2 , N_2 , O_3 , N_2O 및 $\text{H}_2 + \text{O}_2$ 의 혼합가스 분위기 및 온도 $300 \sim 850$ 에서 적어도 1분 동안 실시하거나, O_2 , N_2 , O_3 , N_2O 및 $\text{H}_2 + \text{O}_2$ 의 혼합가스 분위기에서

온도 300 ~ 12000℃에서 5분이상 실시하거나 또는 600℃ 이상 온도에서 1초이상 RTP 처리하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 14】

제13항에 있어서, 상기 치밀화시키는 단계는, 0mTorr~10Torr사이의 압력하에서 SiH_4 , $\text{SiH}_a(\text{CH}_3)_b$ (a의 범위는 0 ~ 4이고, b의 범위는 0 ~ 4), N_2 , N_2O , NH_3 , O_2 , O_3 , Ar 또는 He 가스를 이용한 플라즈마로 적어도 5~300초 동안 실시하여 치밀화시키는 것을 특징으로하는 반도체소자의 소자분리막 제조방법.

【청구항 15】

제 1항에 있어서, 상기 치밀한 절연막으로는 HDP막 또는 USG막을 이용하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 16】

제 1항에 있어서, 상기 치밀한 절연막을 형성한후 상기 결과물을 열처리하되, 상기 열처리 단계는 O_2 , N_2 , O_3 , N_2O 및 $\text{H}_2 + \text{O}_2$ 의 혼합가스 분위기 및 300 ~ 12000℃ 온도에서 적어도 5분이상 실시하거나, 600℃ 이상온도에서 1초이상 RTP처리를 실시하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 17】

트랜치가 형성된 반도체 기판을 제공하는 단계;

상기 트랜치를 전처리하는 단계;

상기 전처리된 트랜치 하부에 소정의 유동성 절연막을 형성하는 단계;

상기 유동성절연막을 후세정처리하는 단계;

상기 유동성 절연막을 치밀화하는 단계;

상기 치밀화된 유동성 절연막이 형성된 전체구조 상면에 절연막을 형성하는 단계;

및

상기 절연막 상부에 더미용 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

【청구항 18】

제 17항에 있어서, 상기 후세정처리하는 공정 이전에 후처리하는 단계를 더 포함하
되, 상기 후처리하는 공정은 플라즈마처리 또는 아닐링처리인 것을 특징으로 하는 반도
체 소자의 소자분리막 제조방법.

【청구항 19】

제17항에 있어서, 상기 후세정공정은, 식각액과 완충액의 비율이 3:1~500:1 인 BOE
(buffered oxide etchant)용액이나, H_2SO_4 와 H_2O_2 수용액을 1:1~500:1 부피 비율로 섞어
상은 ~ 150℃ 온도에서 세정하거나, SC-1(standard cleaning-1), SC-2 세정 또는 수용
액을 5:1~500:1 HF 로 묽게 하여 습식식각에 의한 세정하는 방법중에서 한가지 이상의
세정처리를 순차적으로 동시에 실시하는 것을 특징으로하는 반도체소자의 소자분리막 제
조방법.

【청구항 20】

제 17항에 있어서,

상기 전처리단계는 세정공정 또는 플라즈마 처리를 포함하는 것을 특징으로 하는
반도체 소자의 소자분리막 제조방법.

**【청구항 21】**

제17항에 있어서, 상기 치밀한 절연막은, SiH_4 반응기체를 이용한 HDP-CVD 방식이나 TEOS 반응기체를 이용한 AP-CVD, SA-CVD 방식으로 증착하는 것을 특징으로하는 반도체소자의 소자분리막 제조방법.

【청구항 22】

제17항에 있어서, 상기 치밀한 절연막은, O_2 , N_2 , O_3 , N_2O 및 $\text{H}_2 + \text{O}_2$ 의 혼합가스 분위기 및 $300 \sim 1200^\circ\text{C}$ 온도에서 5분 이상 실시하거나 약 600°C 이상온도에서 1초이상 RTP 처리를 실시하는 것을 특징으로하는 반도체소자의 소자분리막 제조방법.

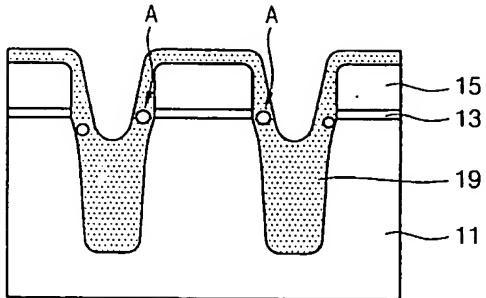
【청구항 23】

제17항에 있어서, 상기 더미절연막은, SiH_4 반응기체를 이용한 HDP-CVD 방식이나 TEOS 반응기체를 이용한 AP-CVD, SA-CVD 방식으로 증착하는 것을 특징으로하는 반도체소자의 소자분리막 제조방법.

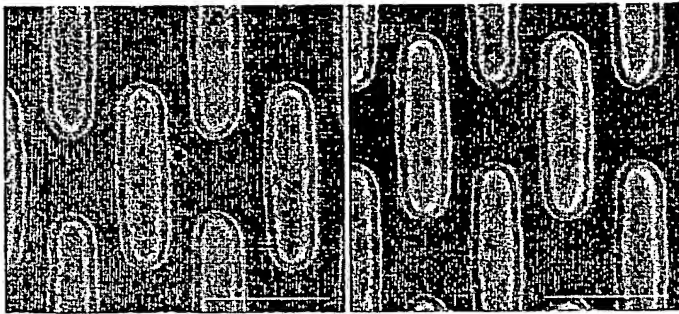


【도면】

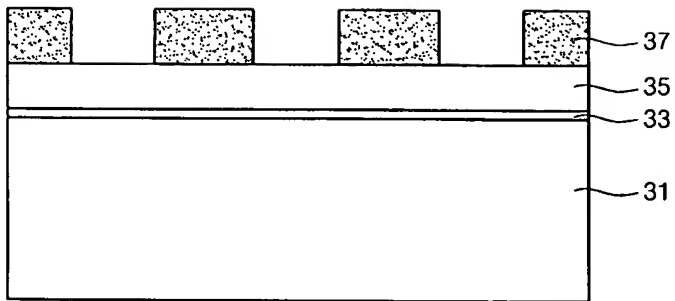
【도 1】



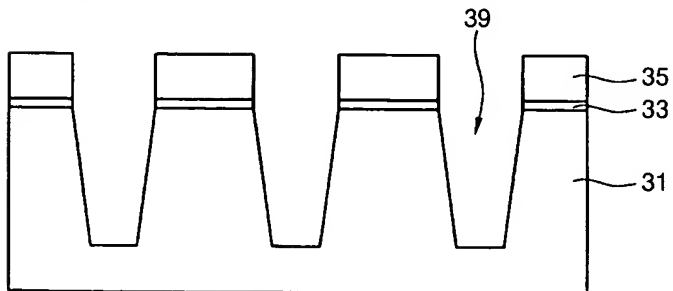
【도 2】



【도 3a】

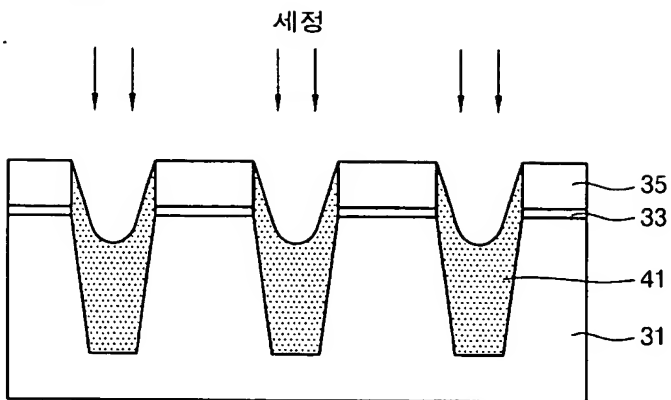


【도 3b】

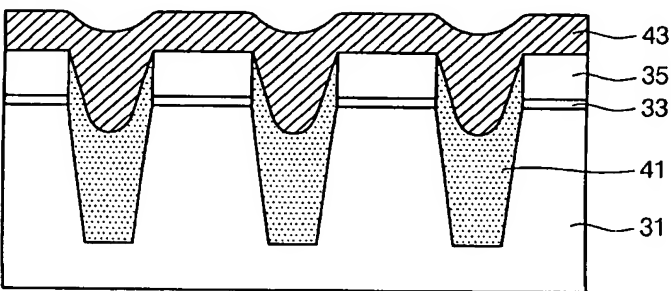




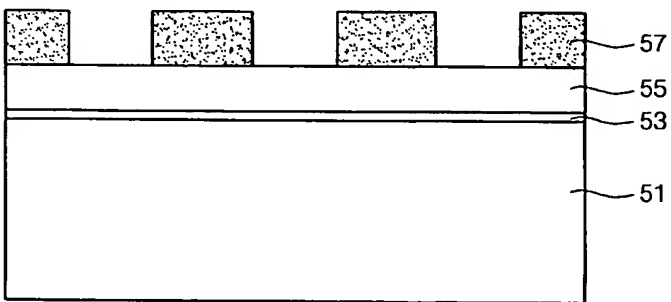
【도 3c】



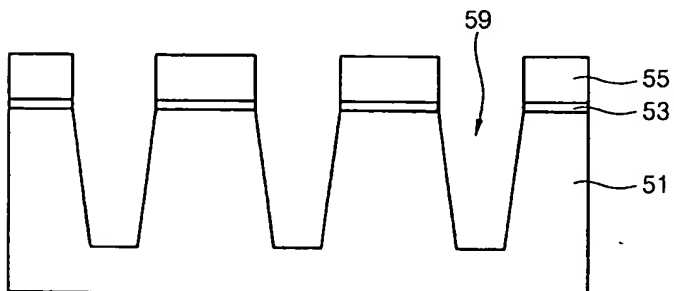
【도 3d】



【도 4a】

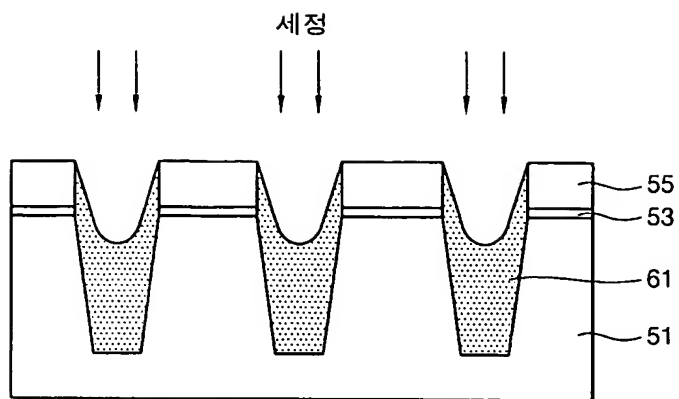


【도 4b】

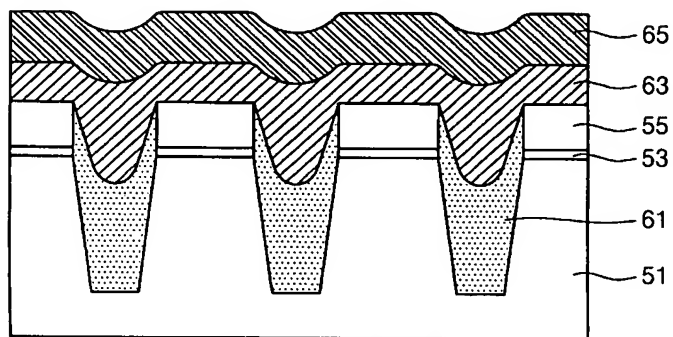




【도 4c】



【도 4d】



【도 5】

